

**AVIS DE SOUTENANCE DE THESE**

Pour confirmation des horaires et lieu de soutenance de la thèse par le doctorant et diffusion via Internet par le service des études doctorales à une liste préétablie de destinataires

DATE ET HEURE de la soutenance de la thèse : jeudi 03 avril 2014 à 14h

Soutenance de **Assawer SOUSSOU** pour une thèse de DOCTORAT de l'Université de Grenoble, **spécialité :** NANO ELECTRONIQUE ET NANO TECHNOLOGIES

Intitulé de la thèse : « Modélisation et caractérisation des effets électriques de l'intégration du Ge dans les structures Métal/High-k/SiGe »

Lieu de soutenance de la Thèse : Phelma, Minatec, 3 parvis Louis Néel 38000 Grenoble - salle Amphi M001

Thèse préparée dans le **laboratoire :** UMR 5130 - IMEP-LAHC : Institut de Microélectronique, Electromagnétisme, Photonique - Laboratoire hyperfréquences et caractérisation , **sous la direction** de Gérard GHIBAUDO, directeur de thèse .

Membres du jury :

- Gérard GHIBAUDO - Directeur de thèse
- Daniella MUNTEANU - Rapporteur
- Pascal MASSON - Rapporteur
- Charles LEROUX - CoDirecteur de thèse
- Denis Rideau - CoDirecteur de thèse
- Brice GAUTIER -

Résumé de thèse :

L'introduction du SiGe dans les pMOS (Bulk et FDSOI) exige un bon contrôle de la tension de seuil (VT). Ceci nécessite une extraction précise des paramètres électriques ainsi qu'une compréhension des effets électriques du Ge dans de tels dispositifs. Dans cette thèse, nous avons d'abord proposé des méthodes pour une identification précise des paramètres électriques du « gate stack »: VT, la tension de bande plate (VFB) et l'épaisseur équivalente d'oxyde (EOT). Ces méthodes ont été validées avec des simulations Poisson-Schrödinger (PS) et appliquées avec succès aux mesures. Dans un second temps, nous avons étudié les effets électriques du Ge sur les paramètres du « gate stack » des pMOS. La comparaison des caractérisations électriques (C-V) avec les simulations PS a montré un décalage supplémentaire du travail de sortie effectif qui croit avec le Ge. Des caractérisations STEM, EELS et SIMS ont prouvé que ce décalage est due à la présence de dipôles à l'interface SiGe/oxyde.

Fait à Grenoble, le *

Le doctorant Assawer SOUSSOU