

AVIS DE SOUTENANCE DE THESE

*Pour confirmation des horaires et lieu de soutenance de la thèse par le doctorant et diffusion
via Internet par le service des études doctorales à une liste préétablie de destinataires*

DATE ET HEURE de la soutenance de la thèse : mercredi 4 septembre 2019 à 10h00

Soutenance de **THOMAS BEDECARRATS** pour une thèse de DOCTORAT de l'Université Grenoble Alpes,
spécialité : NANO ELECTRONIQUE ET NANO TECHNOLOGIES

Intitulé de la thèse : « Etude et intégration d'un circuit analogique, basse consommation et à faible surface d'empreinte, de neurone impulsionnel basé sur l'utilisation du BIMOS en technologie 28 nm FD-SOI »

Lieu de soutenance de la Thèse : ~~222 - salle 222~~

Phelma Minatec - Amphi Z108

Thèse préparée dans le **laboratoire :** UMR 5130 - Institut de Microélectronique, Electromagnétisme et Photonique - Laboratoire d'hyperfréquences et de caractérisation

sous la direction de Philippe GALY, directeur de thèse et Sorin CRISTOLOVEANU Co-encadrant.

Membres du jury :

- Philippe GALY - Directeur de these
- Damien QUERLIOZ - Rapporteur
- François DANNEVILLE - Rapporteur
- Salvador MIR - Examineur
- Sylvain SAIGHI - Examineur
- Lorena ANGHEL - Examineur

Résumé de thèse :

Avec la fin annoncée de la loi de Moore, les acteurs de la microélectronique cherchent de nouveaux paradigmes sur lesquels s'appuyer pour alimenter les développements futurs de notre société de l'information. En s'inspirant des systèmes nerveux biologiques, l'ingénierie neuromorphique offre des perspectives nouvelles qui révolutionnent d'ores et déjà l'intelligence artificielle. Pour que leurs performances permettent leur généralisation, les processeurs neuronaux se doivent d'intégrer des circuits de neurones les plus petits et les moins énergivores possible afin que les réseaux de neurones artificiels qu'ils implémentent atteignent une taille critique. Dans ce travail, nous montrons qu'il est possible de réduire le nombre de composants nécessaires à la conception d'un circuit analogique de neurone impulsionnel par la fonctionnalisation des courants de génération parasites dans un transistor BIMOS intégré en technologie 28 nm FD-SOI et dimensionné aux tailles minimales autorisées par la technologie. Après une caractérisation systématique des ces courants par des mesures quasi-statiques du FD-SOI BIMOS à température ambiante sous différentes polarisations, une modélisation compacte de ce composant adaptée à partir du modèle CEA-LETI UTSOI est proposée. Le circuit analogique de neurone impulsionnel à fuite, intégration et déclenchement basé sur le BIMOS (« BIMOS-based leaky, integrate-and-fire spiking neuron » : BB-LIF SN) est ensuite décrit. L'influence des différentes dimensions caractéristiques et polarisations de contrôle sur son fonctionnement observée lors des mesures sur des démonstrateurs fabriqués sur silicium est expliquée en détail. Un modèle analytique simple de ses limites de fonctionnement est proposé. La cohérence entre les résultats de mesures, ceux de simulations compactes et les prédictions du modèle analytique simple atteste la pertinence des analyses proposées. Dans sa version la plus aboutie, le BB-LIF SN occupe une surface de 15 μm^2 , consomme environ 2 pJ/spike, fonctionne à des fréquences de déclenchement comprises entre 3 et 75 kHz pour des courant synaptique compris entre 600 pA et 25 nA sous une tension d'alimentation de 3 V.

Fait à Grenoble, le *

Le doctorant THOMAS BEDECARRATS



* La date sera mise ultérieurement lorsque l'autorisation de soutenance de thèse aura été accordée par la direction du SED