

Bonjour,

Veillez trouver ci-après, l'avis de soutenance de thèse de **Michael Collonge** intitulée :

## Etude, réalisation et caractérisation du transistor à grille suspendue à canal d'accumulation

Cette thèse a été préparée au sein du Laboratoire des Dispositifs Innovants du CEA-LETI.  
La soutenance se déroulera **le vendredi 26 mars 2010 à 14 heures à l'Amphi P014 de Phelma Polygone (ancien ENSERG)**

M. Alain PONCET, PROF. INSA, Lyon	Président
M. Adrian IONESCU, PROF. EPFL, Lausanne (Suisse)	Rapporteur
M. Arnaud BOURNEL, ENS. CHERCHEUR IEF, Paris	Rapporteur
M. Gérard GHIBAUDO, DR. CNRS, IMEP-LAHC, Grenoble	Directeur de thèse
M <sup>me</sup> . Maud VINET, ING. CEA-LETI, Grenoble	Co-encadrante
M. Frédéric BŒUF, ING. ST Microelectronics, Grenoble	Examineur

Dans sa quête d'optimisation des circuits électroniques, la microélectronique se scinde aujourd'hui en deux voies : d'un côté l'amélioration de l'architecture du transistor MOS jusque dans ces derniers retranchements (« More Moore ») et de l'autre le développement d'architectures innovantes destinées à la recherche d'un remplaçant potentiel du transistor MOS ainsi qu'à l'intégration de nouvelles fonctionnalités au sein des circuits (« More than Moore »). En parallèle, la réduction des dimensions caractéristiques des micro vers les nano systèmes électromécaniques, amorcée pour améliorer les performances de détection et réduire les coûts de production des systèmes analogiques, offre un contexte favorable à l'émergence de composants hybrides CMOS/NEMS. Cette miniaturisation tire profit de l'avancée des procédés microélectroniques, ce qui ouvre les portes de la compatibilité des NEMS avec la logique CMOS. Autrefois distincts, ces domaines tendent aujourd'hui à se rencontrer pour donner lieu à de nouvelles architectures tirant profit des avantages de chacun, du mécanisme d'amplification par effet de champ propre au transistor et d'une liberté nouvelle apportée par l'introduction d'un comportement mécanique propre aux NEMS.

Dans ce contexte, une architecture s'est présentée comme un objet d'étude privilégié : le transistor MOS à grille suspendue. Présenté pour la première fois en 1966 [Newell 66], il connaît aujourd'hui un regain d'intérêt qui s'inscrit dans ce climat de convergence. Son fonctionnement électro-mécanique lui confère une pente de commutation infinie, inférieure à la limite théorique de 60mV/décade d'un transistor MOS standard, accessible a priori à très faibles polarisations. Ces caractéristiques répondent aux spécifications requises pour les applications à faible consommation et à faible tension d'alimentation. Sa compatibilité avec la technologie CMOS est un atout essentiel. De plus, cette architecture se prête à une réduction de ses dimensions, a priori favorisée par l'intégration d'un canal à accumulation. L'objectif de cette thèse est d'évaluer les performances électriques du transistor MOS à grille suspendue et à canal d'accumulation comme candidat potentiel pour les applications *Low Power*.

Cordialement,

Maud Vinet  
Laboratory for Innovative Devices  
LETI 17 rue des Martyrs F- 38054 Grenoble Cedex9  
+334 38 78 90 87μ  
vinet@us.ibm.com