

Impact des matériaux et des architectures sur les performances des interconnexions des filières CMOS avancées

Avec la densification progressive des interconnexions suivant la loi de Moore, les temps de retard et la diaphonie augmentent de façon critique. De nouvelles solutions technologiques et conceptuelles se révèlent indispensables. Ainsi, les isolants à très faible permittivité sont introduits depuis le nœud 45 nm; ils subissent de fortes dégradations pendant les différentes étapes de leur intégration et nécessitent le développement de nouvelles barrières et de solutions alternatives pour atteindre les performances requises. En outre, l'introduction de niveaux d'interconnexions routés à 45° les uns par rapport aux autres, proposée pour augmenter la densité d'intégration, se révèle susceptible d'accroître les couplages parasites et de compromettre le fonctionnement des circuits intégrés. Le travail de thèse a ainsi porté sur la compréhension et la quantification des phénomènes de propagation HF dans les réseaux denses d'interconnexions multi-niveaux. L'étude s'est déroulée dans un premier axe au niveau expérimental, à l'aide de caractérisations hyperfréquences jusqu'à 40 GHz d'interconnexions ultra-étroites, qui correspondent aux générations technologiques les plus récentes. L'impact des propriétés des matériaux sur la propagation du signal a été quantifié, en particulier en mettant en évidence des pertes diélectriques significatives. D'autre part, la réalisation de simulations prédictives aussi bien en deux qu'en trois dimensions a permis d'extraire, selon une méthodologie rigoureuse, des recommandations technologiques pragmatiques relatives à l'introduction d'options technologiques prometteuses : traitements de restauration par scellage des pores, introduction de cavités d'air, barrières auto-positionnées, etc... pour des générations aussi avancées que le CMOS 22 nm. Des orientations en termes de conception pour optimiser les performances des circuits intégrés ont aussi été proposées.

Mots-clés : Interconnexion, circuit intégré, mesures hyperfréquences, propagation, diélectrique, BAP, air gap, modélisation, diaphonie intra/inter niveau.

Materials and architectures impact on interconnect performance for advanced CMOS technology nodes

As interconnect integration density following Moore's law increases at each new technology node, delay and crosstalk reach critical levels and require specific consideration. New ultra low-k insulators have been introduced since the 45 nm node but they face several integration challenges, requiring new solutions to fulfil the required specifications. Furthermore, introduction of metal levels with new orientations such as 45° angles, suggested to increase integration density, may introduce new parasitic couplings, significantly degrading integrated circuits performance. This study has thus focused on understanding and quantifying propagation phenomena occurring in dense multi-level interconnect networks. The first part is based on high-frequency measurements until 40 GHz of 45 nm interconnects. Impact of dielectric properties on propagation performance has been outlined, especially with the extraction of high loss tangent values. Causality issues linked to these dielectric losses of time-domain signals are also discussed. On the other hand, numerous options such as restoration pore-sealing treatments, self-aligned barriers or air cavities introduction have been quantified thanks to 2D and 3D predictive simulations and precise technological recommendations have hence been extracted for the 32 and 22 nm node. Design orientations have also been pointed out to optimize upcoming ICs performances.

Keywords : Interconnect, integrated circuit, high-frequency measurements, propagation, insulator, SAB, air gap, modelling, intra/inter level crosstalk.