

AVIS DE SOUTENANCE DE THESE

Pour confirmation des horaires et lieu de soutenance de la thèse par le doctorant et diffusion via Internet par le service des études doctorales à une liste préétablie de destinataires

DATE ET HEURE de la soutenance de la thèse : lundi 11 janvier 2016 à 10h00

Soutenance de **Antoine LITTY** pour une thèse de DOCTORAT de l'Université Grenoble Alpes,
spécialité : NANO ELECTRONIQUE ET NANO TECHNOLOGIES

Intitulé de la thèse : « CONCEPTION, FABRICATION, CARACTERISATION ET MODELISATION DE TRANSISTORS MOSFET HAUTE TENSION EN TECHNOLOGIE AVANCEE SOI (SILICON ON INSULATOR). »

Lieu de soutenance de la Thèse : Grenoble INP - 46 Avenue Félix Viallet - 38000 Grenoble - salle Amphi C

Thèse préparée dans le **laboratoire** : UMR 5130 - IMEP-LAHC : Institut de Microélectronique, Electromagnétisme, Photonique – Laboratoire hyperfréquences et caractérisation ,
sous la direction de Sorin CRISTOLOVEANU , directeur de thèse .

Membres du jury :

- Sorin CRISTOLOVEANU - Directeur de thèse
- Sylvie ORTOLLAND - Co-encadrant de thèse
- Anne KAMINSKI-CACHOPO - Examineur
- Frédéric MORANCHO - Rapporteur
- Florin UDREA - Rapporteur
- Bruno ALLARD - Examineur

Résumé de thèse :

A l'heure où la miniaturisation des technologies CMOS sur substrat massif atteint des limites, la technologie FDSOI (silicium sur isolant totalement déserté) s'impose comme une alternative pour l'industrie en raison de ses meilleures performances. Dans cette technologie, l'utilisation d'un substrat SOI ultramince améliore le comportement des transistors MOSFETs et garantit leur intégrité électrostatique pour des dimensions en deçà de 28nm. Afin de lui intégrer de nouvelles fonctionnalités, il devient nécessaire de développer des applications dites « haute tension » comme les convertisseurs DC/DC, les régulateurs de tension ou encore les amplificateurs de puissance. Cependant les composants standards de la technologie CMOS ne sont pas capables de fonctionner sous les hautes tensions requises. Pour répondre à cette limitation, ces travaux portent sur le développement et l'étude de transistors MOS haute tension en technologie FDSOI. Plusieurs solutions sont étudiées à l'aide de simulations numériques et de caractérisations électriques : l'hybridation du substrat (gravure localisée de l'oxyde enterré) et la transposition sur le film mince. Une architecture innovante sur SOI, le Dual Gound Plane EDMOS, est alors proposée, caractérisée et modélisée. Cette architecture repose sur la polarisation d'une seconde grille arrière pour offrir un compromis RON.S/BV prometteur pour les applications visées.